

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000260936 A

(43) Date of publication of application: 22.09.00

(51) Int. Cl. H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 23/50

(21) Application number: 11065158

(22) Date of filing: 11.03.99

(71) Applicant: OKI ELECTRIC IND CO LTD

(72) Inventor: HOSOYAMADA SUMIKAZU

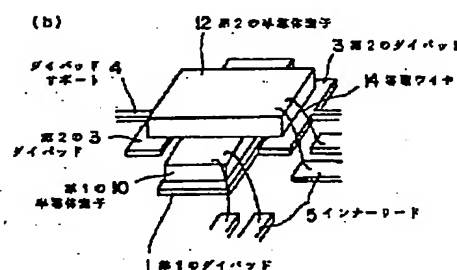
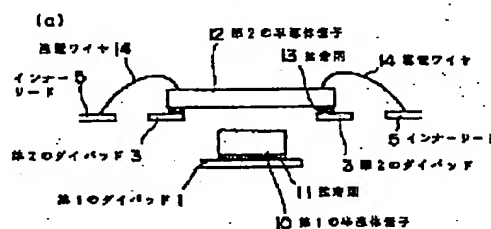
## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device for which a plurality of semiconductor elements are accommodated in the same package, without making complex a manufacturing process.

**SOLUTION:** A semiconductor device is provided with a first die pad 1 and a second die pad 3, that is arranged with a prescribed level difference from the first die pad 1. Furthermore, the device is provided with a first semiconductor element 10 that is mounted to the first die pad 1, a second semiconductor element 12 that is mounted to the second die pad 3, and a plurality of inner leads 5 that are connected electrically to the first and second semiconductor elements 10 and 12.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-260936

(P2000-260936A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 25/065  
25/07  
25/18  
23/50

識別記号

F I  
H 0 1 L 25/08  
23/50

ターム\* (参考)

Z 5 F 0 6 7  
U

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平11-65158  
(22) 出願日 平成11年3月11日 (1999.3.11)

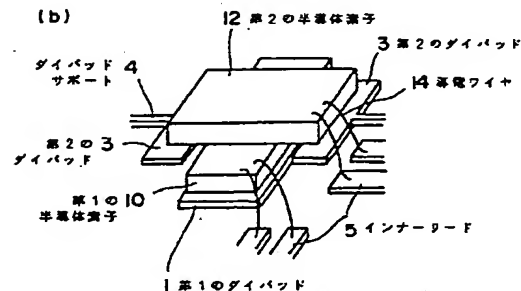
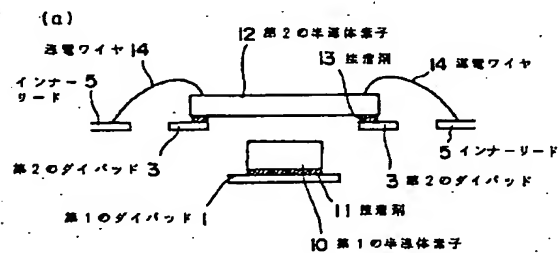
(71) 出願人 000000295  
沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
(72) 発明者 細山田 澄和  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(74) 代理人 100089093  
弁理士 大西 健治  
Fターム(参考) 5F067 AA02 BA03 BE06 CB08

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 複数の半導体素子を同一パッケージ内に格納した半導体装置を製造工程を複雑化することなく得ること。

【構成】 第1のダイパッド1と、この第1のダイパッド1と所定の段差をもって配置された第2のダイパッド3と、第1のダイパッド1に搭載された第1の半導体素子10と、第2のダイパッド3に搭載された第2の半導体素子12と、第1および第2の半導体素子と電気的に接続される複数のインナーリード5とを備えた構成とする。



## 【特許請求の範囲】

【請求項1】 第1のダイパッドと、  
前記第1のダイパッドと所定の段差をもって配置された  
第2のダイパッドと、  
前記第1のダイパッドに搭載された第1の半導体素子  
と、  
前記第2のダイパッドに搭載された第2の半導体素子  
と、  
前記第1および第2の半導体素子と電気的に接続される  
複数のインナーリードと、  
を備えたことを特徴とする半導体装置。

【請求項2】 前記第1のダイパッドおよび前記第2の  
ダイパッドは、同一リードフレームにより形成され、前  
記第1のダイパッドは前記複数のインナーリードと実質  
的に同一面内に配置され、前記第2のダイパッドは前記  
第1のダイパッドよりも前記所定の段差だけ下げて配置  
されることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1のダイパッドは、前記第2のダ  
イパッドを挟むように少なくとも2つの領域に分割され  
ていることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1および第2の半導体素子はそれ  
ぞれ長辺および短辺を有し、それぞれの長辺が互いに交  
差するように配置され、これら第1、第2の半導体素子  
は、それぞれの短辺に沿って配置された前記インナーリ  
ードと電気的に接続されることを特徴とする請求項1記  
載の半導体装置。

【請求項5】 複数のインナーリードと、第1のダイパ  
ッドと、この第1のダイパッドとは高さ方向に所定間隔  
離れて、かつ、前記第1のダイパッドを挟むように分割  
して配置された第2のダイパッドとを備えたリードフレ  
ームの、前記第1のダイパッドに第1の半導体素子を搭  
載し、前記インナーリードと電気的に接続する工程と、  
前記第2のダイパッドに第2の半導体素子を搭載し、前  
記インナーリードと電気的に接続する工程と、  
前記第1および第2の半導体素子、前記インナーリード  
を樹脂で封止する工程と、  
を備えたことを特徴とする半導体装置の製造方法

【請求項6】 前記第1のダイパッドは前記第2のダイ  
パッドよりも下方に配置され、前記第1のダイパッド上  
に前記第1の半導体素子を搭載した後に前記第2のダイ  
パッドに前記第2の半導体素子を搭載することを特徴と  
する請求項5記載の半導体装置の製造方法。

【請求項7】 前記第1および第2の半導体素子はそれ  
ぞれ長辺および短辺を有し、それぞれの長辺が互いに交  
差するように配置され、これら第1、第2の半導体素子  
は、それぞれの短辺に沿って配置された前記インナーリ  
ードと電気的に接続されることを特徴とする請求項5記  
載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、樹脂封止型半導体  
装置およびその製造方法、特に、複数の半導体素子を同  
一パッケージ内に格納した半導体装置およびその製造方  
法に関する。

【0002】

【従来の技術】従来、複数の半導体素子を同一パッケー  
ジ内に格納する半導体装置としては、以下のような構成  
の半導体装置がある。

【0003】すなわち、同一のリードフレームの平面方  
向に複数の、例えば2つのダイパッドが設けられ、それ  
ぞれのダイパッドにそれぞれ半導体素子を搭載する。こ  
のそれぞれの半導体素子をこのダイパッドの周囲にその  
先端が配置された複数のインナーリードと接続し、樹脂  
で封止する構成がある。

【0004】また、その他の構成としては、1つのダイ  
パッドの表面および裏面にそれぞれ半導体素子を搭載  
し、それぞれ対応するインナーリードに接続する構成が  
ある。

【0005】

【発明が解決しようとする課題】しかしながら、平面的  
に複数の半導体素子を搭載する場合、平面方向のパッケー  
ジサイズが大きくなり、このため実装面積が大きくな  
るという問題点がある。

【0006】また、1つのダイパッドの表面および裏面  
にそれぞれ半導体素子を搭載する場合、パッケージサイ  
ズの増大に伴う実装面積の増大は避けられるが、ダイボ  
ンディング面、ワイヤボンディング面が表面、裏面の2  
面となる。このため、従来の方法、装置を用いることは  
できず、特殊な製造方法、特殊な製造装置が必要とな  
り、製造コストの増大という問題がある。

【0007】

【課題を解決するための手段】上記課題を解決するた  
めに、本願発明の半導体装置は、第1のダイパッドと、こ  
の第1のダイパッドと所定の段差をもって配置された第  
2のダイパッドと、第1のダイパッドに搭載された第1  
の半導体素子と、第2のダイパッドに搭載された第2の  
半導体素子と、第1および第2の半導体素子と電気的に  
接続される複数のインナーリードとを備えている。

【0008】

【発明の実施の形態】以下、図面を参照して本発明の実  
施例を詳細に説明する。

【0009】まず、図1を用いて、本願発明に用いられ  
るリードフレームの形状を説明する。

【0010】図1(a)はリードフレームの上面図であ  
り、第1のダイパッド1、この第1のダイパッド1を支  
持する第1のダイパッドサポート2と、この第1のダイ  
パッド1をまたぐように配置されている第2のダイパ  
ッド3、この第2のダイパッドをそれぞれ支持するダイパ  
ッドサポート4、複数のインナーリード5が示されてい  
る。

【0011】第1のダイパッド1を支持するダイパッドサポート2は、その一部が折り曲げられており、第1のダイパッド1は第2のダイパッドよりも下方にダウンセット加工されている。

【0012】図1(b)および図1(c)は、図1(a)におけるA-A'断面図およびB-B'断面図をそれぞれ示す図であり、第1のダイパッドが第2のダイパッドよりも下方にダウンセット加工されていることが示されている。

【0013】このようなリードフレームは、1枚のリードフレームをまず、インナーリード部分、第1のダイパッド部分、この第1のダイパッドとは分離され、かつ、第1のダイパッドの両端を挟むように配置された第2のダイパッド部分が形成されるように、エッチングまたは打ち抜き加工し、その第1のダイパッド部分を金型により型締めし、ダウンセット加工することにより形成できる。

【0014】図2は図1において説明したリードフレームに半導体素子を搭載した図面であり、図2(a)は断面形状を示し、図2(b)は斜視図を示している。

【0015】これら図2(a)、(b)において、第1のダイパッド1上には第1の半導体素子10が接着剤11により固定されている。

【0016】第2のダイパッド3は、2つの部分に分割されており、第2の半導体素子12の両端がこの分割された第2のダイパッド3上に接着剤13により固定されている。

【0017】これら第1の半導体素子10および第2の半導体素子12上に形成されている図示しない電極パッドはそれぞれ導電ワイヤ14によりインナーリード5と接続されている。

【0018】この実施例では、第1の半導体素子10および第2の半導体素子12はそれぞれ長方形の形状を有しており、長辺が互いに交差するように配置されている。また、第1の半導体素子10上に形成された図示しない電極パッドは、第2の半導体素子12と重ならない領域に配置される。このように電極パッドを配置すると、インナーリードと接続する際の導電ワイヤ14が第2の半導体素子と接触する不具合を防ぐことができる。

【0019】また、第1の半導体素子と接続する導電ワイヤは、第1の半導体素子の短辺に沿って配置されたインナーリードと接続し、第2の半導体素子と接続する導電ワイヤは第2の半導体素子の短辺に沿って配置されたインナーリードと接続している。

【0020】このように接続した場合、第1の半導体素子10に接続される導電ワイヤと、第2の半導体素子に接続される導電ワイヤが互いに接触する不良を抑制することができる。

【0021】このような半導体装置の製造方法を図3および図4を用いて説明する。

【0022】図3において、ボンディングステージ15には、バキューム穴16がもうけられており、このバキューム穴16に対応する位置に第1および第2のダイパッドが配置される。

【0023】このバキューム穴16により真空吸着することにより第1および第2のダイパッドを固定する。

【0024】その後、第1のダイパッド1および第2のダイパッド3上に接着剤11、13を塗布し、第1の半導体素子10、第2の半導体素子12の順にそれぞれ固定する。

【0025】その後、図4(a)、(b)に示すヒートブロック17上に、第1、第2の半導体素子がそれぞれ搭載されたリードフレームを配置し、ヒートブロック17内に設けられたバキューム穴18により第1および第2のダイパッドを真空吸着し、また、インナーリード5はフレーム押さえ19により固定する。この状態で、半導体素子上に形成された図示しない電極パッドとインナーリード5との間を導電ワイヤ14によりワイヤボンディングする。ここで、図4(b)は図4(a)におけるC-C'断面図である。

【0026】このように、ダイボンディングおよびワイヤボンディングする面は、いずれも上面のみであるため、従来のダイボンディング方法および装置、従来のワイヤボンディング方法および装置を用いて容易に複数の半導体素子を搭載し、ワイヤボンディングすることが可能となる。

【0027】次に、この半導体素子が搭載され、ワイヤボンディングされたリードフレームを金型に入れ、樹脂にて封止し、図5に示される半導体装置を得る。

【0028】第1のダイパッド1を支持するダイパッドサポート2は屈曲部を有し、第1のダイパッド1をダウンセット加工しているため、このダイパッドサポート2の樹脂20の端部に露出する部分はインナーリード5および第2のダイパッドを支持するダイパッドサポート4と同一面内に配置される。このため、金型においては、上型、下型ともに特別な加工を必要とせず、通常の1つの半導体素子を封止する場合のと同様の金型および方法を用いることができる。

【0029】

【発明の効果】本発明に係る半導体装置によれば、第1のダイパッドと、この第1のダイパッドと所定の段差をもって配置された第2のダイパッドとを用いて半導体装置を構成しているため、同一のパッケージ内に複数の半導体素子を搭載した半導体装置を容易に製造することができる。

【図面の簡単な説明】

【図1】本発明の実施形態におけるリードフレームを示す図である。

【図2】本発明の実施形態を示す図である。

【図3】本発明の実施形態における製造工程を説明する

図である。

【図4】本発明の実施形態における製造工程を説明する図である。

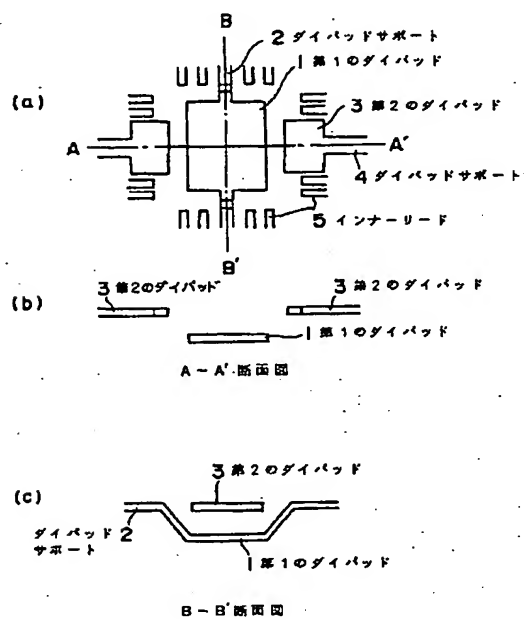
【図5】本発明の実施形態を示す図である。

【符号の説明】

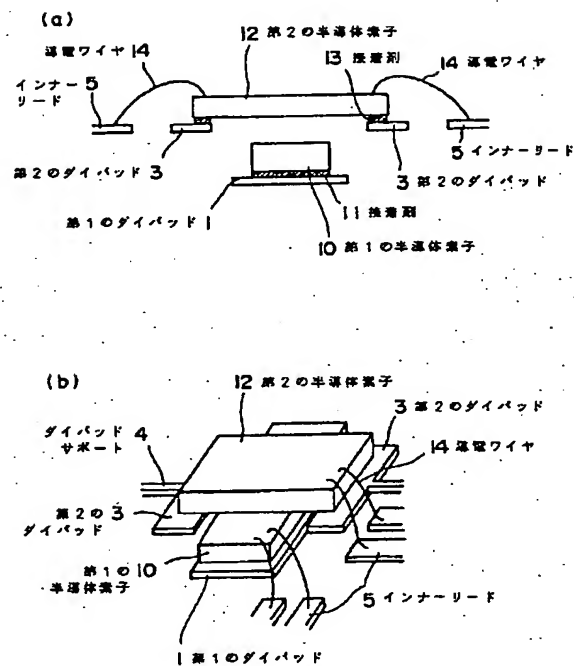
- 1 第1のダイパッド
- 2 ダイパッドサポート
- 3 第2のダイパッド
- 4 ダイパッドサポート
- 5 インナーリード
- 10 第1の半導体素子

- 11 接着剤
- 12 第2の半導体素子
- 13 接着剤
- 14 導電ワイヤ
- 15 ボンディングステージ
- 16 バキューム穴
- 17 ヒートブロック
- 18 バキューム穴
- 19 フレーム押さえ
- 20 樹脂

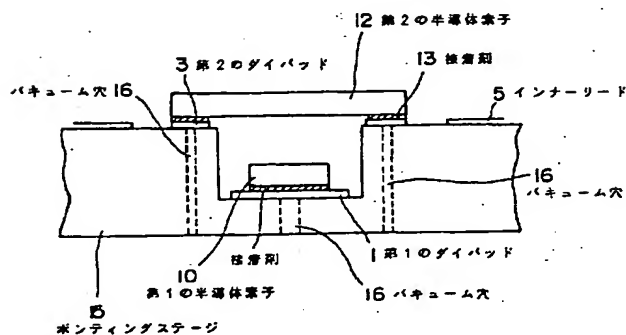
【図1】



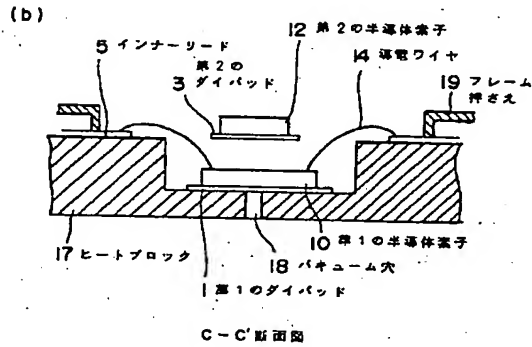
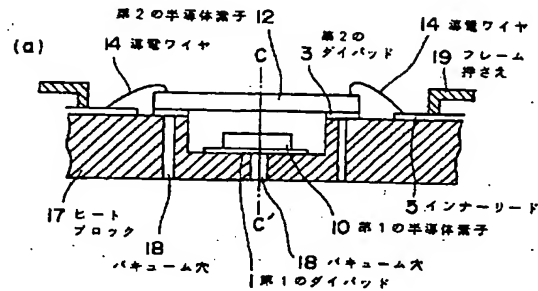
【図2】



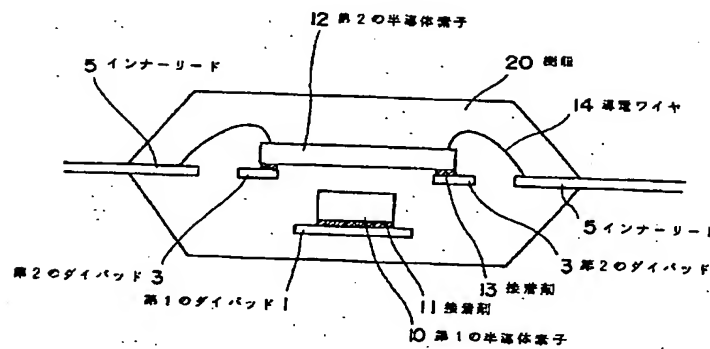
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成11年12月27日(1999. 12. 27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 少なくとも2つの領域に分割された第1のダイパッドと、  
前記第1のダイパッドと同一リードフレームにより構成されるとともに、前記第1のダイパッドよりも所定の段差だけ下げて前記第1のダイパッド間に配置された第2のダイパッドと、  
前記第1のダイパッドに搭載された第1の半導体素子と、

前記第2のダイパッドに搭載された第2の半導体素子と、  
前記第1および第2の半導体素子と電気的に接続されるとき、前記第1のダイパッドと実質的に同一面内に配置された複数のインナーリードと、  
を備えたことを特徴とする半導体装置。

【請求項2】 前記第1および第2の半導体素子はそれぞれ長辺および短辺を有し、それぞれの長辺が互いに交差するように配置され、これら第1、第2の半導体素子は、それぞれの短辺に沿って配置された前記インナーリードと電気的に接続されることを特徴とする請求項1記載の半導体装置。

【請求項3】 複数のインナーリードと、第1のダイパッドと、この第1のダイパッドとは高さ方向に所定間隔離れて、かつ、前記第1のダイパッドを挟むように分割して配置された第2のダイパッドとを備えたリードフレームの、前記第1のダイパッドに第1の半導体素子を搭

載し、前記インナーリードと電気的に接続する工程と、  
前記第2のダイパッドに第2の半導体素子を搭載し、前記インナーリードと電気的に接続する工程と、  
前記第1および第2の半導体素子、前記インナーリードを樹脂で封止する工程と、  
を備えたことを特徴とする半導体装置の製造方法

【請求項4】 前記第1のダイパッドは前記第2のダイパッドよりも下方に配置され、前記第1のダイパッド上に前記第1の半導体素子を搭載した後に前記第2のダイパッドに前記第2の半導体素子を搭載することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記第1および第2の半導体素子はそれぞれ長辺および短辺を有し、それぞれの長辺が互いに交差するように配置され、これら第1、第2の半導体素子は、それぞれの短辺に沿って配置された前記インナーリードと電気的に接続されることを特徴とする請求項3記載の半導体装置の製造方法。